

Projektovanje digitalnih integrisanih kola

Sadržaj:

1. Osnovni CMOS proces
2. Pravila projektovanja
- 3. Potpuno projektovanje po narudžbini**
4. Delimično projektovanje po narudžbini

3. Potpuno projektovanje po narudžbini

Sadržaj:

- 3.1 Ocena uspešnosti projekta
- 3.2 Projektovanje statičkih logičkih kola**
- 3.3 Simboličko projektovanje
- 3.4 Projektovanje veza
- 3.5 Uzroci otkaza

3.2 Projektovanje statičkih logičkih kola

3.2.1 Osnovne karakteristike CMOS kola

- 3.2.2 Statička prenosna karakteristika
- 3.2.3 Dinamičke karakteristike
- 3.2.4 Dimenzionisanje tranzistora
- 3.2.5 Izbor optimalnog broja ćelija
- 3.2.6 Kompromis između brzine i površine
- 3.2.7 Potrošnja

3.2.1 Osnovne karakteristike CMOS kola

Da se podsetimo I-V karakteristika MOS tranzistora

$$I_D = 0, \text{ za } V_{GT} \leq 0$$

$$I_D = \beta(V_{GT}V_{\min} - \frac{V_{\min}^2}{2})(1 + \lambda V_{DS}), \text{ za } V_{GT} > 0,$$

gde je :

$$\beta = k' \frac{W}{L}; \quad k' = \mu_n C_{ox} = \mu_n \frac{\epsilon_{ox}}{t_{ox}}$$

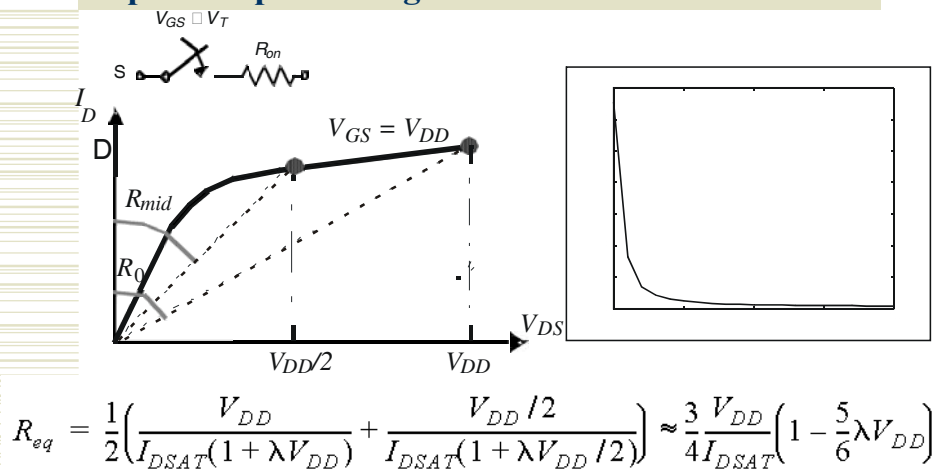
$$V_{\min} = \min(V_{GT}, V_{DS}, V_{Dsat});$$

$$V_{GT} = V_{GS} - V_T; \quad V_T = V_{T0} + \gamma(\sqrt{|-2\phi_F + V_{SB}|} - \sqrt{|-2\phi_F|}); \quad V_{T0} = V_T|_{V_{sb}=0};$$

$$\gamma = \frac{\sqrt{2q\epsilon_{Si}N_A}}{C_{ox}}$$

3.2.1 Osnovne karakteristike CMOS kola

Otpornost provodnog MOS tranzistora



3.2.1 Osnovne karakteristike CMOS kola

Otpornost provodnog MOS tranzistora

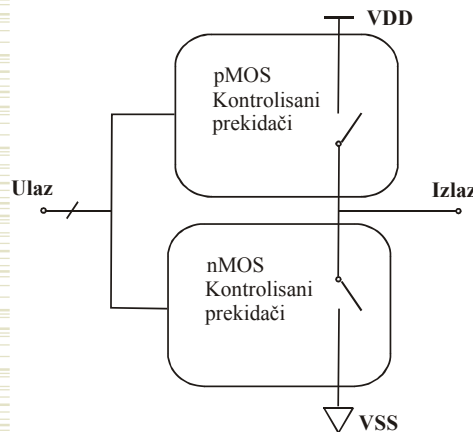
$$R_{eq} \approx \frac{3}{4} \frac{V_{DD}}{I_{DSAT}} \left(1 - \frac{5}{6} \lambda V_{DD} \right)$$

Ekvivalentna otpornost tranzistora ($W=L=0.25\mu m$) za različite vrednosti V_{DD} ; za veće tranzistore podeliti R_{eq} sa W/L

VDD[V]	1	1.5	2	2.5
nMOS [kΩ]	35	19	15	13
pMOS [kΩ]	115	55	38	31



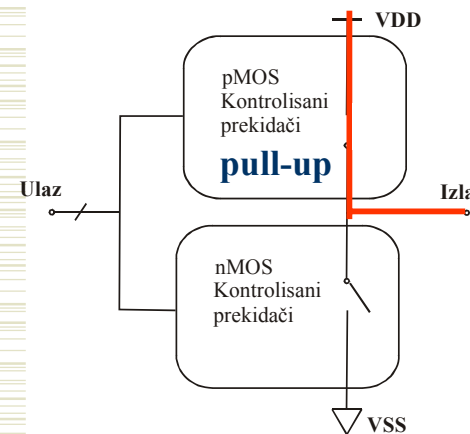
3.2.1 Osnovne karakteristike CMOS kola



CMOS logičko kolo se sastoji od dve grupe kontrolisanih komplementarnih prekidača.



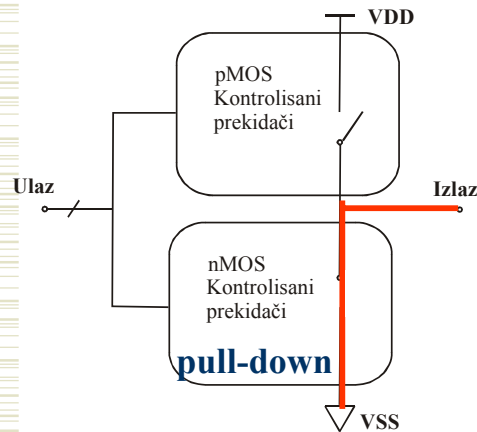
3.2.1 Osnovne karakteristike CMOS kola



pMOS grupa prekidača kontroliše vezu izlaza logičkog kola sa VDD



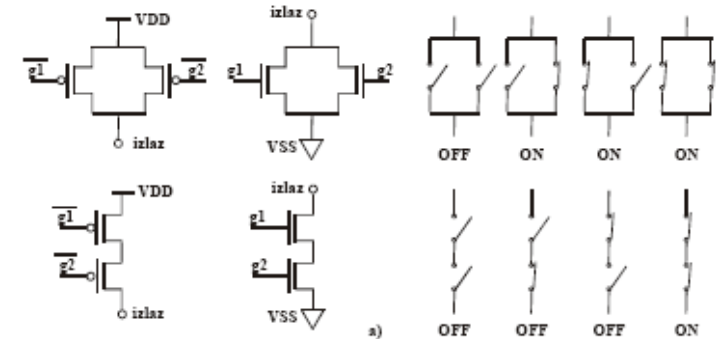
3.2.1 Osnovne karakteristike CMOS kola



nMOS grupa prekidača kontroliše vezu izlaza logičkog kola sa VSS; pull-down

3.2.1 Osnovne karakteristike CMOS kola

Povezivanjem tranzistora (prekidača) paralelno ili redno, ostvaruje se logička AND, odnosno OR funkcija



3.2.1 Osnovne karakteristike CMOS kola

Stanje nMOS tranzistora kontroliše ulaz g_i
 ($g_i=1$, prekidač zatvoren,
 $g_i=0$, prekidač otvoren; $i=1, 2$)

Stanje pMOS tranzistora kontroliše komplementarna vrednost ulaza g_i ($\overline{g_i}$)
 ($g_i=0$, prekidač zatvoren,
 $g_i=1$, prekidač otvoren; $i=1, 2$)

3.2.1 Osnovne karakteristike CMOS kola

Označimo sa $f=g_1 \square g_2$ logičku funkciju nad ulazima g_1 i g_2 koja obezbeđuje da se ekvivalentni nMOS ili pMOS prekidač zatvori ako je $f=1$.

Kada je ekvivalentni prekidač pull-down mreže zatvoren, na izlazu je stanje logičke nule.

Zato može da se kaže da nMOS podmreža vodi izlaz u invertovano stanje .

$$\overline{f} = g_1 \square g_2$$

3.2.1 Osnovne karakteristike CMOS kola

Podmreža sa pMOS tranzistorima aktivira se kada su gejtovi tranzistora na logičkoj nuli, tako da ostvaruje funkciju f nad komplementom pobudnog signala g_i .

Kada je prekidač zatvoren, na izlazu je logička jedinica, tako da izlaz odgovara funkciji

$$f = \overline{g_1} \square \overline{g_2}$$

3.2.1 Osnovne karakteristike CMOS kola

Konkretno ako su dva pMOS vezana paralelno, ostvaruje se funkcija

$$f = \overline{g_1} \text{ OR } \overline{g_2}$$

po DeMorganovim pravilima daje

$$f = \overline{g_1 \text{ AND } g_2}$$

(ovo važi ako je izlaz na 0 kada je pull-up prekidač otvoren)

3.2.1 Osnovne karakteristike CMOS kola

Konkretno ako su dva pMOS vezana redno, ostvaruje se funkcija

$$f = \overline{g_1 \text{ AND } g_2}$$

po DeMorganovim pravilima daje

$$f = \overline{g_1 \text{ OR } g_2}$$

(ovo važi ako je izlaz na 0 kada je pull-up prekidač otvoren)

3.2.1 Osnovne karakteristike CMOS kola

Konkretno ako su dva nMOS vezana paralelno, ostvaruje se funkcija

$$\overline{f} = g_1 \text{ OR } g_2$$

odnosno

$$f = \overline{g_1 \text{ OR } g_2}$$

(ovo važi ako je izlaz na 1 kada je pull-down prekidač otvoren)

3.2.1 Osnovne karakteristike CMOS kola

Konkretno ako su dva nMOS vezana redno, ostvaruje se funkcija

$$\bar{f} = g1 \text{ AND } g2$$

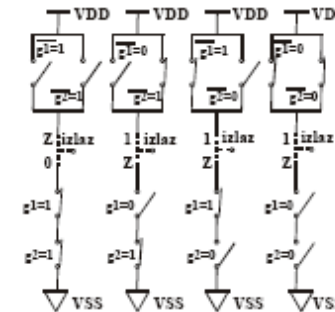
odnosno

$$f = \overline{g1 \text{ AND } g2}$$

(ovo važi ako je izlaz na 1 kada je pull-down prekidač otvoren)

3.2.1 Osnovne karakteristike CMOS kola

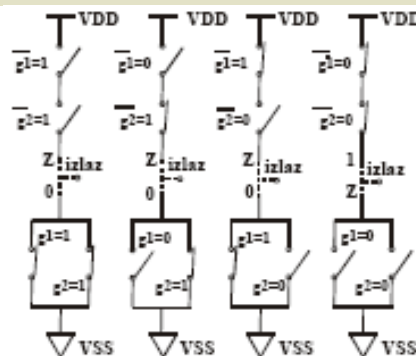
Da bi nMOS i pMOS podmreže obavljale istu funkciju, pull-down i pull-up podkola moraju da imaju komplementarne strukture.



NAND2

3.2.1 Osnovne karakteristike CMOS kola

Da bi nMOS i pMOS podmreže obavljale istu funkciju, pull-down i pull-up podkola moraju da imaju komplementarne strukture.



NOR2

3.2.1 Osnovne karakteristike CMOS kola

Primer 3.1:

Skicirati električnu šemu pomoću koje se može realizovati funkcija

$$Y = \overline{(a \text{ OR } b \text{ OR } c)} \text{ AND } d$$

3.2.1 Osnovne karakteristike CMOS kola

Rešenje:

Da bi se utvrdila struktura nMOS pod mreže, treba iskazati komplement Y u funkciji ulaznih signala **a**, **b**, **c** i **d**. Tako se dobija funkcija:

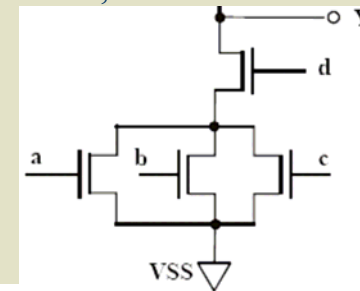
$$\bar{Y} = \overline{(a \text{ OR } b \text{ OR } c) \text{ AND } d} = (a \text{ OR } b \text{ OR } c) \text{ AND } d$$

To znači da nMOS tranzistore sa ulazima **a**, **b** i **c** treba vezati paralelno, a tranzistor sa ulazom **d** redno sa njima.

3.2.1 Osnovne karakteristike CMOS kola

Rešenje:

To znači da nMOS tranzistore sa ulazima **a**, **b** i **c** treba vezati paralelno, a tranzistor sa ulazom **d** redno sa njima.



3.2.1 Osnovne karakteristike CMOS kola

Rešenje:

Da bi se utvrdila struktura pMOS pod mreže, treba iskazati Y u funkciji komplementa ulaznih signala **a**, **b**, **c** i **d**. Tako se dobija funkcija:

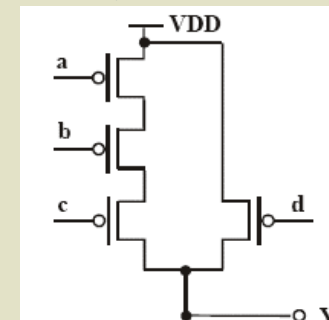
$$Y = \overline{(a \text{ OR } b \text{ OR } c) \text{ AND } d} = (\bar{a} \text{ AND } \bar{b} \text{ AND } \bar{c}) \text{ OR } \bar{d}$$

To znači da pMOS tranzistore sa ulazima **a**, **b** i **c** treba vezati redno, a tranzistor sa ulazom **d** paralelno njima.

3.2.1 Osnovne karakteristike CMOS kola

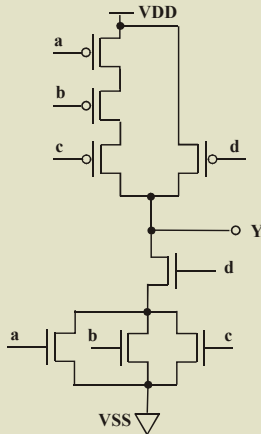
Rešenje:

To znači da pMOS tranzistore sa ulazima **a**, **b** i **c** treba vezati redno, a tranzistor sa ulazom **d** paralelno njima.



3.2.1 Osnovne karakteristike CMOS kola

Rešenje:



LEDA - Laboratory for Electronic Design Automation
<http://leda.elfak.ni.ac.yu/>



28

3.2 Projektovanje statičkih logičkih kola

Sledeće nedelje

- 3.2.1 Osnovne karakteristike CMOS kola
- 3.2.2 Statička prenosna karakteristika**
- 3.2.3 Dinamičke karakteristike
- 3.2.4 Dimenzionisanje tranzistora
- 3.2.5 Izbor optimalnog broja ćelija
- 3.2.6 Kompromis između brzine i površine
- 3.2.7 Potrošnja

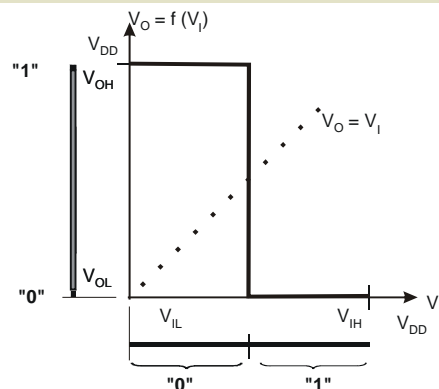
LEDA - Laboratory for Electronic Design Automation
<http://leda.elfak.ni.ac.yu/>



29

3.2.2 Statička prenosna karakteristika

Idealna statička prenosna karakteristika invertora :



LEDA - Laboratory for Electronic Design Automation
<http://leda.elfak.ni.ac.yu/>



30

3.2.2 Statička prenosna karakteristika

Idealna statička prenosna karakteristika invertora :

- izlazni napon, V_o , jednak je V_{DD} za sve ulazne napone manje od $V_{DD}/2$, a za veće je $V_o = V_{SS} = 0$,
- ulazna otpornost je beskonačna,
- izlazna otpornost jednaka je nuli,
- pojačanje u prelaznoj oblasti između logičke jedinice i nule na izlazu:
 $g = \partial V_o / \partial V_i = \infty$.

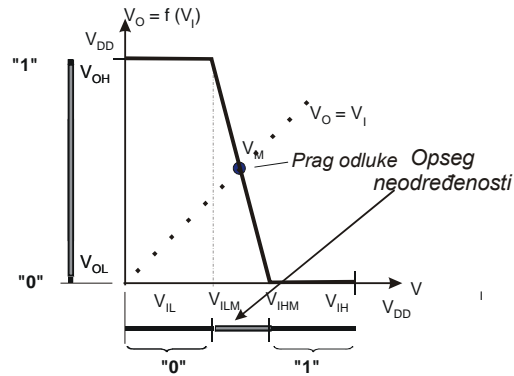
LEDA - Laboratory for Electronic Design Automation
<http://leda.elfak.ni.ac.yu/>



31

3.2.2 Statička prenosna karakteristika

Idealizovana statička prenosna karakteristika invertora - konačno pojačanje, $g < 0$.



LEDA - Laboratory for Electronic Design Automation
<http://leda.elfak.ni.ac.yu/>

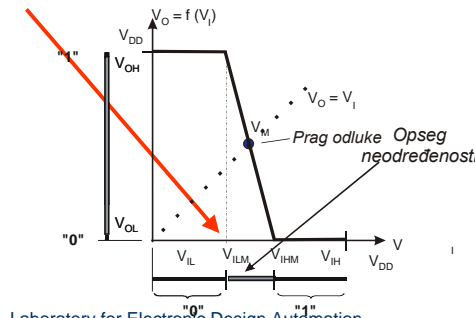


3.2.2 Statička prenosna karakteristika

Idealizovana statička prenosna karakteristika invertora konačno pojačanje, g :

- margina šuma logičke nule na ulazu

$$V_{ILM} = V_M + (V_{DD} - V_M)/g < V_{DD}/2$$



LEDA - Laboratory for Electronic Design Automation
<http://leda.elfak.ni.ac.yu/>

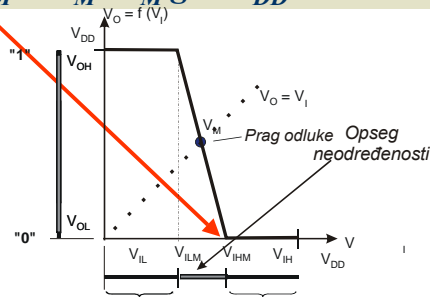


3.2.2 Statička prenosna karakteristika

Idealizovana statička prenosna karakteristika invertora konačno pojačanje, ($g < 0$):

- margina šuma logičke jedinice na ulazu

$$V_{IHM} = V_M - V_M/g > V_{DD}/2.$$



LEDA - Laboratory for Electronic Design Automation
<http://leda.elfak.ni.ac.yu/>



3.2.2 Statička prenosna karakteristika

Idealizovana statička prenosna karakteristika invertora konačno pojačanje, g :

Ukoliko je napon praga odluke $V_M = V_{DD}/2$:

$$V_{ILM} = V_M + V_{DD}/(2g) \text{ i}$$

$$V_{IHM} = V_M - V_{DD}/(2g).$$

LEDA - Laboratory for Electronic Design Automation
<http://leda.elfak.ni.ac.yu/>



3.2.2 Statička prenosna karakteristika

Idealizovana statička prenosna karakteristika invertora konačno pojačanje, g:

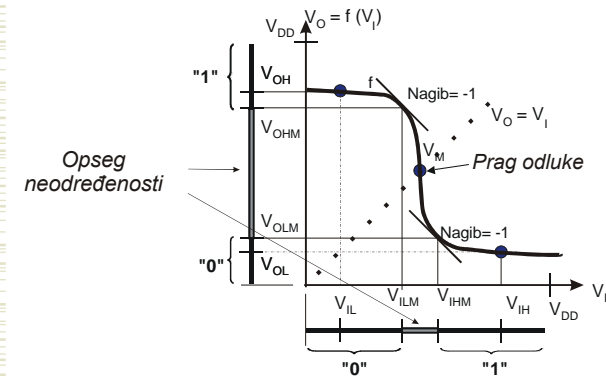
To znači da postoji *opseg neodređenosti ulaznog signala*, vrednosti ulaznog signala pri kojima izlazni signal ima vrednost između logičke 1 i logičke 0.

Opseg neodređenosti obrnuto je proporcionalan g i iznosi

$$V_{IHM} - V_{ILM} = (V_{OH} - V_{OL}) / g = -V_{DD} / g.$$

3.2.2 Statička prenosna karakteristika

Realna statička prenosna karakteristika invertora :



3.2.2 Statička prenosna karakteristika

Realna statička prenosna karakteristika invertora.

Izgled zavisi od

- Tehnoloških parametara
- Električnih parametara
- Geometrijskih parametara

3.2.2 Statička prenosna karakteristika

Realna statička prenosna karakteristika invertora.

Kako parametri koje projektant može da kontroliše utiču na

- Pojačanje
- Marginu šuma
- Prag odluke

3.2.2 Statička prenosna karakteristika

Tehnološki parametri

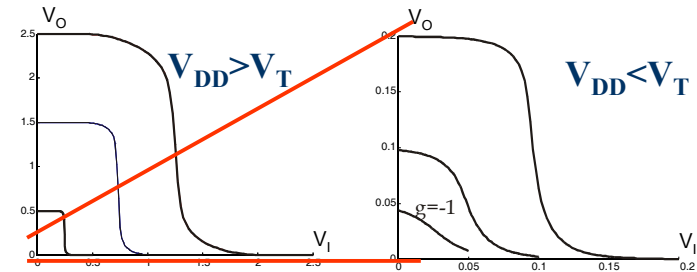
- fiksni za određenu tehnologiju i projektant može da ih “kontrolirše” izborom tehnologije
- Oni utiču na električne osobine definišući
 - V_{DDmax} ,
 - L_{min} , W_{min}
 - V_T



3.2.2 Statička prenosna karakteristika

Električni parametri

- Za izabranu tehnologiju, projektant može samo da bira $V_{DD} \leq V_{DDmax}$



3.2.2 Statička prenosna karakteristika

Geometrijski parametri

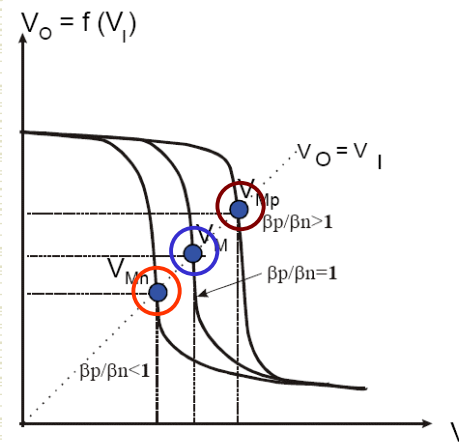
- $W_n/L_n = k_n \rightarrow \beta_n$
- $W_p/L_p = k_p \rightarrow \beta_p$
- β_p/β_n

Zapravo se kontrolirše vrednosti struja kroz tanzistore



3.2.2 Statička prenosna karakteristika

Geometrijski parametri

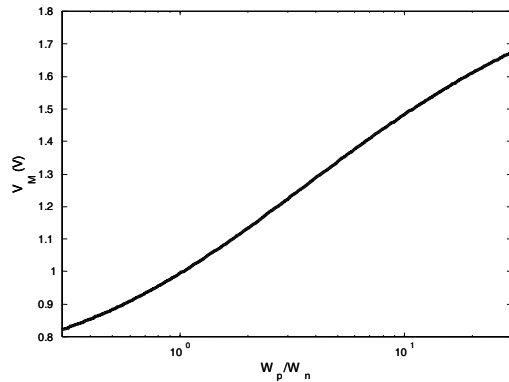


$(W_p/L_p)/(W_n/L_n)$	V_{inv}
1	$0,25V_{DD}$
1,4	$0,474V_{DD}$
2	$0,5V_{DD}$
3	$0,53V_{DD}$



3.2.2 Statička prenosna karakteristika

Realna statička prenosna karakteristika invertora
 Za $L_n=L_p=1$, uticaj $\beta_p/\beta_n=W_p/W_n$ na prag odluke



LEDA - Laboratory for Electronic Design Automation
<http://leda.elfak.ni.ac.yu/>



44

3.2 Projektovanje statičkih logičkih kola

Sledeće nedelje

- 3.2.1 Osnovne karakteristike CMOS kola
- 3.2.2 Statička prenosna karakteristika
- 3.2.3 Dinamičke karakteristike**
- 3.2.4 Dimenzionisanje tranzistora
- 3.2.5 Izbor optimalnog broja ćelija
- 3.2.6 Kompromis između brzine i površine
- 3.2.7 Potrošnja

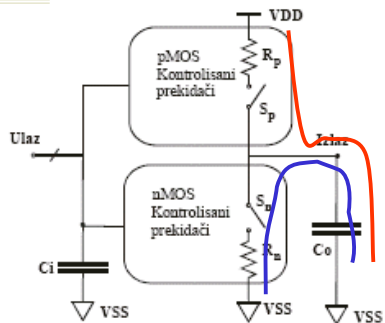
LEDA - Laboratory for Electronic Design Automation
<http://leda.elfak.ni.ac.yu/>



45

3.2.3 Dinamičke karakteristike

U digitalnim CMOS kolima tranzistori imaju funkciju prekidača preko kojih se izlaz vezuje za VDD, odnosno VSS.



Dinamičke osobine CMOS
 kola određuju
 vremenske konstante
 punjenja i pražnjenja
 izlazne kapacitivnosti

<http://leda.elfak.ni.ac.yu/>



46

3.2.3 Dinamičke karakteristike

Otpornost tranzistora

$$R_{eq} = \left(\frac{\partial I_d}{\partial V_{DS}} \right)^{-1} = \frac{1}{\beta} \frac{1}{(V_{GS} - V_T)} = \frac{1}{\mu C_{ox}} \frac{L}{W} \frac{1}{(V_{GS} - V_T)}$$

$$R_{eqn} = \frac{1}{\mu_n} \frac{L_n}{W_n} r' = \frac{1}{\mu_n} \frac{1}{k_n} r';$$

$$R_{eqp} = \frac{1}{\mu_p} \frac{L_p}{W_p} r' = \frac{1}{\mu_p} \frac{1}{k_p} r' = \frac{\mu_n}{\mu_p} \frac{k_n}{k_p} R_{eqn}$$

$$R_{eqp} = R_{eqn} = R \text{ za } k_p = \frac{\mu_n}{\mu_p} k_n \approx 2k_n;$$

LEDA - Laboratory for Electronic Design Automation
<http://leda.elfak.ni.ac.yu/>



47

3.2.3 Dinamičke karakteristike

Otpornost tranzistora

Ekvivalentna otpornost tranzistora oba tipa može da se iskaže kao količnik otpornosti jediničnog nMOS tranzistora, koji ćemo označiti sa R i konstante proporcionalnosti $k = W/L$.

U slučaju nMOS tranzistora $R_n = (1/k_n)R$

dok kod pMOS zavisi i od odnosa (μ_p/μ_n)

$$R_p = (1/((\mu_p/\mu_n) \cdot k_p))R$$

<http://leda.elfak.ni.ac.yu/>



48

3.2.3 Dinamičke karakteristike

Kapacitivnost tranzistora proporcionalna je sa WL .

Ukoliko govorimo o tranzistoru kod koga je $L=1$, tada je $C_{ef} \sim W$;

to znači da je $C_{ef} \sim k$,

odnosno $C_{efn} = k_n C$ i

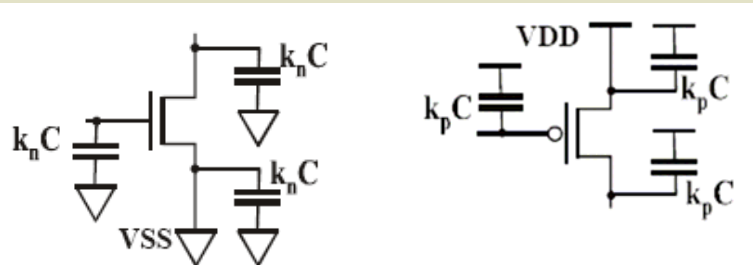
$$C_{efp} = k_p C$$

gde je C ekvivalentna kapacitivnost jediničnog tranzistora ($k_n=1$)

49

3.2.3 Dinamičke karakteristike

Usvajanjem da difuzione kapacitivnosti drejna i sorsa imaju vrednost približno jednaku kapacitivnosti gejta, dobijaju se modeli nMOS i pMOS tranzistora sa parazitnim kapacitivnostima



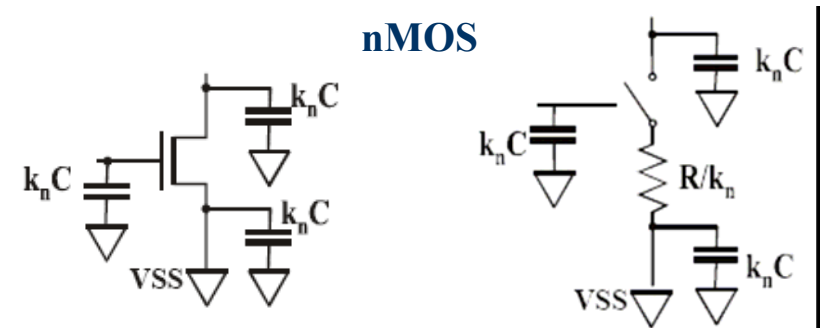
LEDA - Laboratory for Electronic Design Automation
<http://leda.elfak.ni.ac.yu/>



50

3.2.3 Dinamičke karakteristike

Dinamičke karakteristike tranzistora određene su ekvivalentnom otpornošću tranzistora i parazitnim kapacitivnostima.



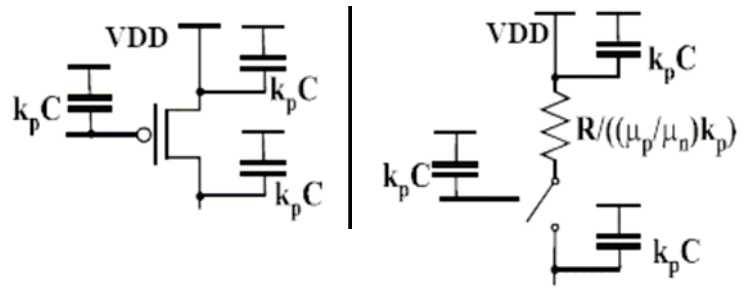
LEDA - Laboratory for Electronic Design Automation
<http://leda.elfak.ni.ac.yu/>



51

3.2.3 Dinamičke karakteristike

Dinamički model pMOS tranzistora



3.2 Projektovanje statičkih logičkih kola

Sledeće nedelje

- 3.2.1 Osnovne karakteristike CMOS kola
- 3.2.2 Statička prenosna karakteristika
- 3.2.3 Dinamičke karakteristike
- 3.2.4 Dimenzionisanje tranzistora**
- 3.2.5 Izbor optimalnog broja ćelija
- 3.2.6 Kompromis između brzine i površine
- 3.2.7 Potrošnja

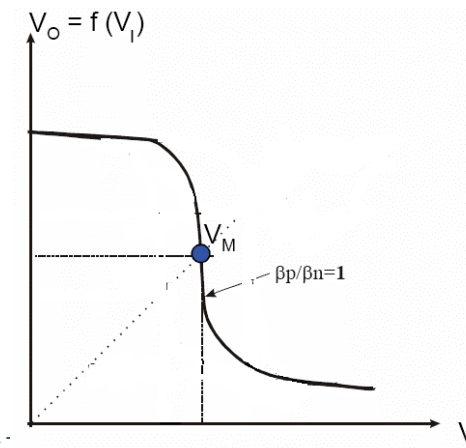
3.2.4 Dimenzionisanje tranzistora

Dva kriterijuma za optimizaciju:

1. Simetrična prenosna karakteristika
2. Minimalno kašnjenje

3.2.4 Dimenzionisanje tranzistora

1. Simetrična prenosna karakteristika



3.2.4 Dimenzionisanje tranzistora

1. Simetrična prenosna karakteristika

$$I_D = \beta \frac{(V_{GS} - V_T)^2}{2}$$

gde je :

$$\beta = k' \frac{W}{L}; \quad k' = \mu_n C_{ox} = \mu_n \frac{\epsilon_{ox}}{t_{ox}};$$

3.2.4 Dimenzionisanje tranzistora

1. Simetrična prenosna karakteristika

$$\beta_n = \mu_n C_{ox} \frac{W_n}{L_n}; \quad \beta_p = \mu_p C_{ox} \frac{W_p}{L_p}$$
$$\frac{\beta_p}{\beta_n} = \frac{\mu_p C_{ox} \frac{W_p}{L_p}}{\mu_n C_{ox} \frac{W_n}{L_n}} = 1 \quad \Rightarrow \quad \frac{W_p}{L_p} = \frac{\mu_n}{\mu_p} \frac{W_n}{L_n}$$

$$W_p = \frac{\mu_n}{\mu_p} W_n \approx 2 W_n \quad \text{za} \quad L_p = L_n = L_{\min} = 2\lambda$$

3.2.4 Dimenzionisanje tranzistora

1. Simetrična prenosna karakteristika

Najmanje dimenzije invertora sa simetričnom prenosnom karakteristikom (napon invertovanja=VDD/2) iznose

$$L_n = L_p = 2\lambda$$

$$W_n = 4\lambda$$

$$k_p = \frac{\mu_n}{\mu_p} k_n \approx 2k_n$$

$$W_p = 8\lambda$$

3.2.4 Dimenzionisanje tranzistora

1. Simetrična prenosna karakteristika

Invertor minimalnih dimenzija sa simetričnom prenosnom karakteristikom

$$W_n / L_n = 4/2 \quad \text{i} \quad W_p / L_p = 8/2;$$

$$k_n \sim W_n / L_n; \quad k_p \sim W_p / L_p;$$

Naziva se **JEDINIČNI INVERTOR**

usvajamo $k_n = 1; k_p = 2$

3.2.4 Dimenzionisanje tranzistora

1. Simetrična prenosna karakteristika

za $k_n=1$; $k_p=2$

sledi $R_n=(1/k_n)R=R$

$R_p=(1/((\mu_p/\mu_n)\cdot k_p))R=R$

!!! $R_n=R_p=R$!!!

3.2.4 Dimenzionisanje tranzistora

1. Simetrična prenosna karakteristika

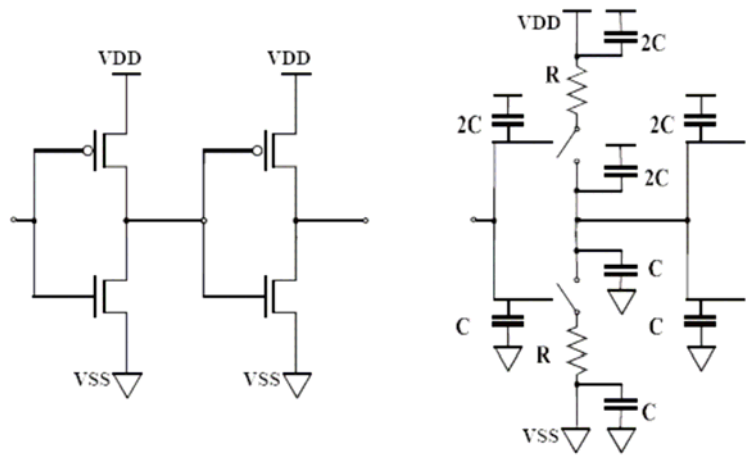
za $k_n=1$; $k_p=2$

sledi $C_{efn}=k_n C=C$

$C_{efp}=k_p C=2C$

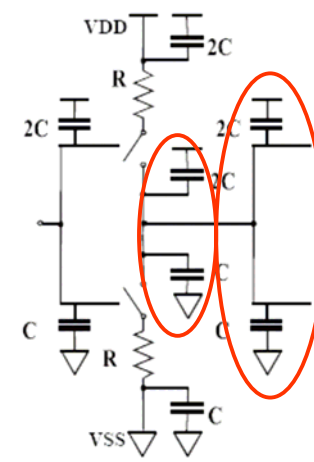
3.2.4 Dimenzionisanje tranzistora

Ekvivalentni model jediničnog invertora opterećenog identičnim invertorom



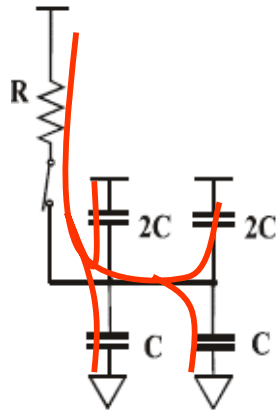
3.2.4 Dimenzionisanje tranzistora

Ekvivalentni model jediničnog invertora opterećenog identičnim invertorom



Ukupna kapacitivnost vezana za izlaz jednaka je 6C (3C od prvog jediničnog invertora i 3 od drugog)

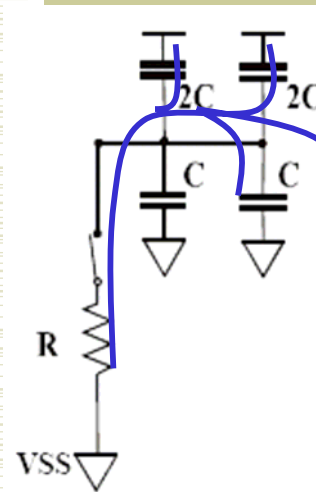
3.2.4 Dimenzionisanje tranzistora



Vremenska konstanta punjenja je $\tau=6RC$, dok vreme kašnjenja prednje ivice iznosi $t_{pLH}=0,69*6*RC$

Pri tome, kašnjenje neopterećenog jediničnog invertora iznosi $t_{cLH}=0,69*3*RC$

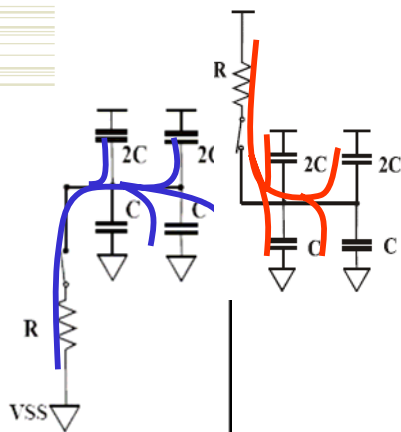
3.2.4 Dimenzionisanje tranzistora



Vremenska konstanta pražnjenja je $\tau=6RC$, dok je vreme kašnjenja zadnje ivice $t_{pHL}=0,69*6*RC$

Pri tome, kašnjenje neopterećenog jediničnog invertora iznosi $t_{cHL}=0,69*3*RC$

3.2.4 Dimenzionisanje tranzistora

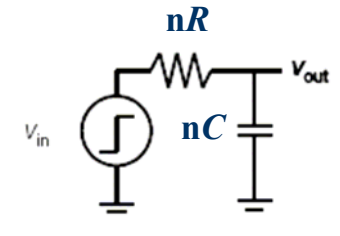


Znajući ovo, može da se normalizuje vrednost RC iz podataka o kašnjenju jediničnog invertora u određenoj tehnologiji !!!

Ako je $t_p=6ns$ za jedinični invertor, onda je $RC=1ns$

3.2.4 Dimenzionisanje tranzistora

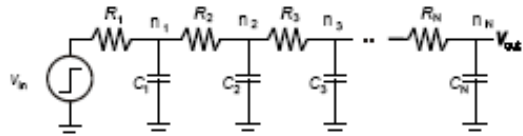
Pri promenama stanja u CMOS kolu, kondenzatori se pune ili prazne preko provodnih tranzistora. Tranzistor može da se prikaže RC kolom prvog reda



R označava efektivnu otpornost provodnog jediničnog nMOS tranzistora ($W/L=1$), a C efektivnu kapacitivnost opterećenja.

3.2.4 Dimenzionisanje tranzistora

Vremena kašnjenja u složenim CMOS kolima procenjuju se na bazi Elmorovog modela kašnjenja



$$t_{pd} = \sum_i R_{n-i} C_i = \sum_{i=1}^N C_i \sum_{j=1}^i R_j$$

$$t_{pd} = C_1 R_1 + C_2 (R_1 + R_2) + \dots$$

LEDA - Laboratory for Electronic Design Automation
<http://leda.elfak.ni.ac.yu/>



3.2.4 Dimenzionisanje tranzistora

Primer:

- Skicirati NAND3 ćeliju koja će, u najgorem slučaju, imati istu ekvivalentnu otpornost kao jedinični inverter.
- Odrediti kapacitivnosti vezane za svaki čvor znajući da redno vezani tranzistori dele istu difuziju.
- Primenom modela Elmorovog kašnjenja proceniti kašnjenje prednje i zadnje ivice u najgorem slučaju ako je NAND3 kolo opterećeno sa n identičnih NAND3 ćelija. Usvojiti da je $C=2\text{fF}$ i $R=2.5\text{k}\Omega$ za $0.18\mu\text{m}$ tehnologiju i izračunati kašnjenja za $n=4$.

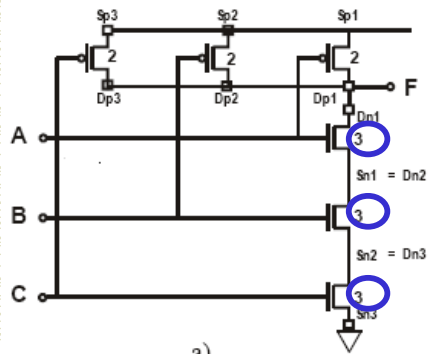
<http://leda.elfak.ni.ac.yu/>



3.2.4 Dimenzionisanje tranzistora

Rešenje:

- Da bi otpornost nMOS mreže, koju čine tri redno vezana tranzistora, bila jednaka R , otpornost svakog od tranzistora mora da bude $R/3$.



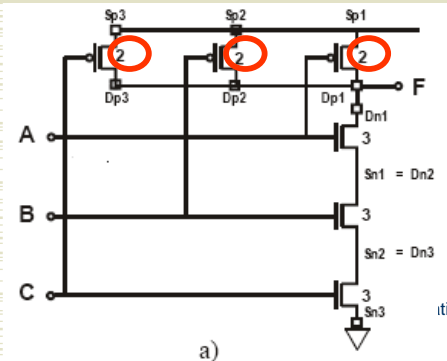
To znači da nMOS tranzistori moraju da budu tri puta širi od jediničnog.



3.2.4 Dimenzionisanje tranzistora

Primer:

- pMOS mrežu čine tri paralelno vezana tranzistora. U najgorem slučaju, kada vodi samo jedan tranzistor, otpornost je najveća.



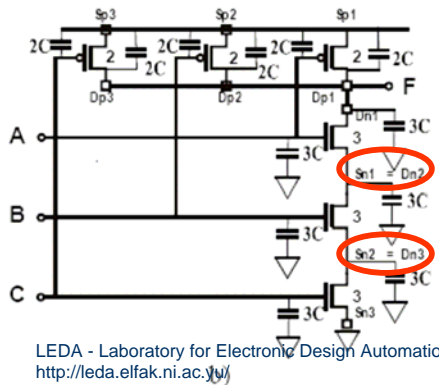
Dakle, i u tom slučaju, R_p treba da bude jednaka R , a to će biti za $W_p=2$, ako je $\mu_n/\mu_p=2$.



3.2.4 Dimenzionisanje tranzistora

Primer:

b) Kada se ucrtaju sve difuzione kapacitivnosti koje nisu kratkospojene kao i kapacitivnosti svih gejtova, dobija se



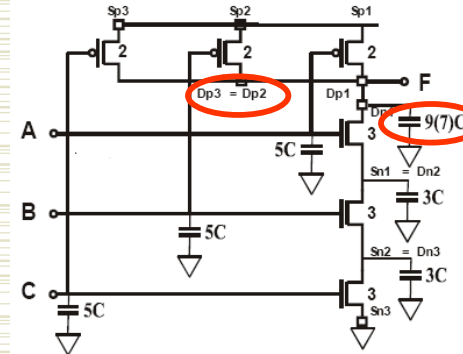
Pri tome, imalo se u vidu da sors/drejn redno vezanih nMOS tranzistora dele istu difuziju (Sn1=Dn2, Sn2=Dn3), tako da njima odgovara zajednička kapacitivnost.

LEDA - Laboratory for Electronic Design Automation
http://leda.elfak.ni.ac.yu/

3.2.4 Dimenzionisanje tranzistora

Primer:

b) Kada se sve kapacitivnosti vezane za isti čvor grupišu, dobija se



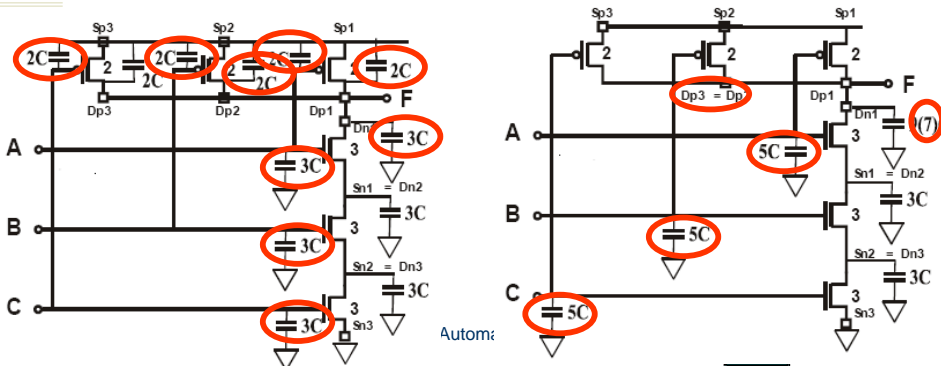
Dva pMOS tranzistora dele istu difuziju za drejn (Dp2=Dp3). U tom slučaju kapacitivnost vezana za čvor F redukuje se sa 9C na 7C.



3.2.4 Dimenzionisanje tranzistora

Primer:

b) Poređenjem prethodnih šema uočava se:

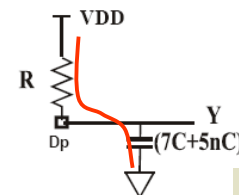


3.2.4 Dimenzionisanje tranzistora

Primer:

c) Ukoliko je kolo opterećeno sa n identičnih NAND3 ćelija, čije su ulazne kapacitivnosti $5C$, ukupna kapacitivnost opterećenja biće uvećana za $n \cdot (5C) = 5nC$, odnosno iznosiće $(7C + 5nC)$

U najgorem slučaju za određivanje kašnjenja prednje ivice, kapacitivnost opterećenja puni se samo preko jednog pMOS tranzistora čija je otpornost R



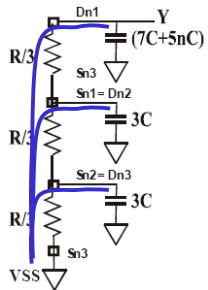
$$t_{pLH} = (7 + 5n) \cdot RC (= 135ns \text{ za } n=4)$$

LEDA - Laboratory for Electronic Design Automation
http://leda.elfak.ni.ac.yu/



3.2.4 Dimenzionisanje tranzistora

Primer:



Najveće kašnjenje zadnje ivice nastaje u slučaju kada gornja dva nMOS tranzistora već vode, tako da su kapacitivnosti vezane za njih napunjene na VDD, a onda provede i treći nMOS tranzistor. Tada se sve kapacitivnosti prazne preko otpornosti $R/3$, najnižeg nMOS tranzistora u

nizu.

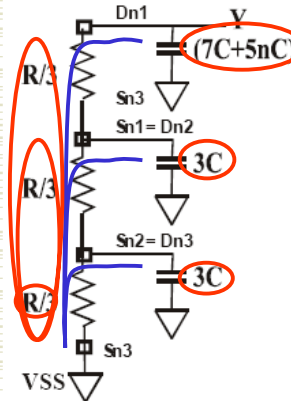
LEDA - Laboratory for Electronic Design Automation
<http://leda.elfak.ni.ac.yu/>



76

3.2.4 Dimenzionisanje tranzistora

c) Prema Elmorovom modelu, kašnjenje zadnje ivice iznosi



$$t_{pHL} = \left(\frac{R}{3}\right)(3C) + \left(\frac{2R}{3}\right)(3C) + \left(\frac{3R}{3}\right)((7+5n)C) = (10+5n) * RC (=150ns za n=4)$$

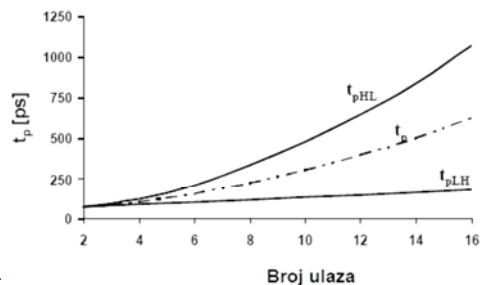
LEDA - Laboratory for Electronic Design Automation
<http://leda.elfak.ni.ac.yu/>



77

3.2.4 Dimenzionisanje tranzistora

Iz prethodnog primera se vidi da će kašnjenje biti veće kod logičkih kola koja imaju veći broj ulaza (veći *fanin*). (Ovome ćemo se vratiti kasnije)
 Kašnjenje se raste proporcionalno kvadratu broja ulaza.



LEDA - Lat
<http://leda.elfak.ni.ac.yu/>



78

3.2.4 Dimenzionisanje tranzistora

2. Kriterijum minimalnog kašnjenja

Prethodno izlaganje vezano je za inverter koji ima simetričnu prenosnu karakteristiku.

Istovremeno, za takav inverter je dokazano da su vrednosti vremenskih konstanti punjenja i pražnjenja C_L iste.

Pitanje je da li takav inverter ima minimalno kašnjenje?

LEDA - Laboratory for Electronic Design Automation
<http://leda.elfak.ni.ac.yu/>

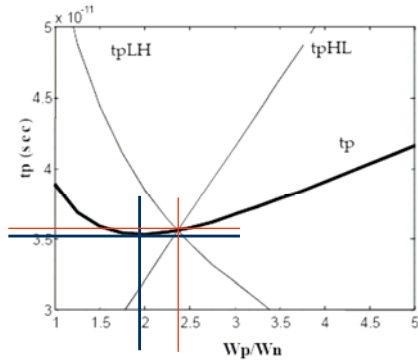


79

3.2.4 Dimenzionisanje tranzistora

2. Kriterijum minimalnog kašnjenja

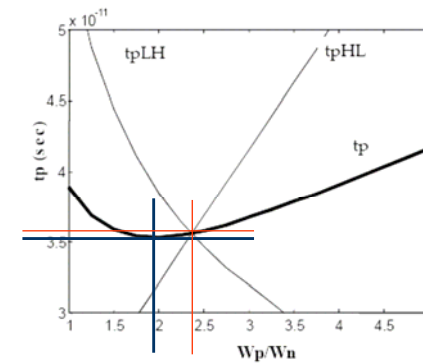
Pitanje je da li takav invertor ima minimalno kašnjenje?



LEDA - Laboratory for Electronic Design Automation
<http://leda.elfak.ni.ac.yu/>



3.2.4 Dimenzionisanje tranzistora

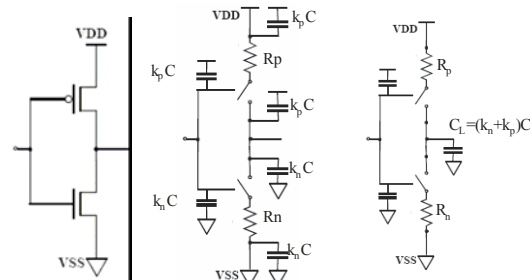


Očigledno da je srednja vrednost kašnjenja najmanja u oblasti gde se kašnjenja prednje i zadnje ivice razlikuju, odnosno gde $R_p \neq R_n$

3.2.4 Dimenzionisanje tranzistora

2. Kriterijum minimalnog kašnjenja

Da bi se našle dimenzije invertora koji obezbeđuje minimalno kašnjenje, razmatraju se realne vremenske konstante punjenja/praznjenja kroz pMOS/nMOS



LEDA - Laboratory for Electronic Design Automation
<http://leda.elfak.ni.ac.yu/>



3.2.4 Dimenzionisanje tranzistora

2. Kriterijum minimalnog kašnjenja

$$t_{pHL} = 0.69 * R_n C_L$$

$$t_{pLH} = 0.69 * R_p C_L = 0.69 * (\mu_n / \mu_p) (k_n / k_p) * R_n C_L$$

Usvojimo konstantno k_n i tražimo k_p za koje se dobija minimalno kašnjenje

LEDA - Laboratory for Electronic Design Automation
<http://leda.elfak.ni.ac.yu/>



3.2.4 Dimenzionisanje tranzistora

2. Kriterijum minimalnog kašnjenja

$$t_p = (t_{pHL} + t_{pLH})/2 = 0.69 * (1 + (\mu_n/\mu_p)(k_n/k_p)) * R_n C_L$$

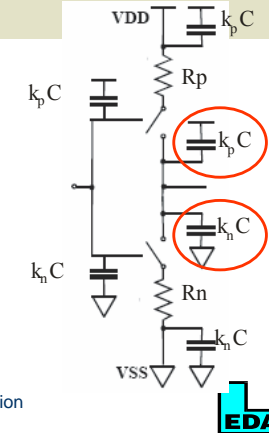
Pod uslovom da je izvod t_p po k_p jednak 0, dobija se minimalno t_p za

$$k_p = \sqrt{\frac{\mu_n}{\mu_p} k_n} \approx \sqrt{2} k_n$$

3.2.4 Dimenzionisanje tranzistora

- Model linearnog kašnjenja

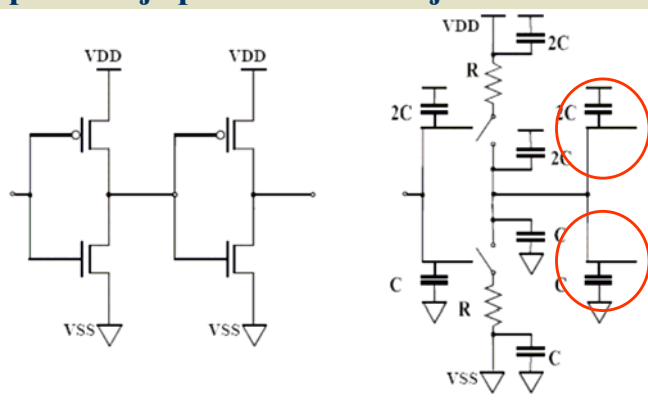
Na izlazu svake neopterećene logičke ćelije postoji sopstvena difuziona kapacitivnost ćelije.



3.2.4 Dimenzionisanje tranzistora

- Model linearnog kašnjenja

Kada je izlaz opterećen drugom logičkom ćelijom, kapacitivno opterećenje povećava se za njenu ulaznu kapacitivno



3.2.4 Dimenzionisanje tranzistora

- Model linearnog kašnjenja

Praktično, ako je za ćeliju čija je sopstvena izlazna kapacitivnost C_{so} , vezano kapacitivno opterećenje C_L , kašnjenje će biti proporcionalno

$$t_p \sim (C_{so} + C_L)R.$$

Sledi da kašnjenje ima dve komponente, jedna je fiksna i proporcionalna sa $C_{so}R$, dok druga linearno zavisi od opterećenja C_L

3.2.4 Dimenzionisanje tranzistora

- Model linearnog kašnjenja

Za procenu kašnjenja može da se koristi linearni model

$$t_p = t_{p0} + t_{pp}$$

- t_{p0} sopstveno kašnjenje logičke ćelije,
- t_{pp} kašnjenje proporcionalno opterećenju,

$$t_p = t_{p0} + C_L R$$

3.2.4 Dimenzionisanje tranzistora

- Model linearnog kašnjenja

Za procenu kašnjenja može da se koristi linearni model

$$t_p = t_0(p+f)$$

- t_0 - vreme kašnjenja jediničnog invertora
 - p - normalizovana vrednost parazitnog kašnjenja
 - f - normalizovana vrednost proporcionalnog kašnjenja,
- $$t_p = t_0 \cdot d$$
- d - ukupno normalizovano kašnjenje

3.2.4 Dimenzionisanje tranzistora

- Model linearnog kašnjenja

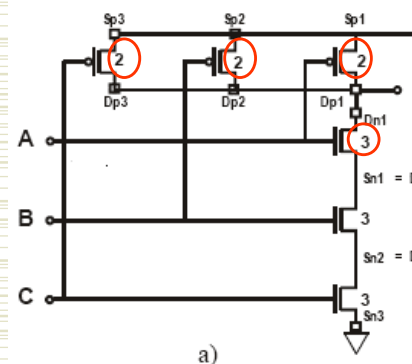
Normalizovano parazitno kašnjenje, p , može grubo da se proračuna preko veličine vremenske konstante na izlazu podeljene sa vremenskom konstantom jediničnog invertora $t=3RC$.

Praktično, ono odgovara veličini i broju difuzija vezanih za izlaz.

3.2.4 Dimenzionisanje tranzistora

- Model linearnog kašnjenja

U slučaju NAND3 kola iz primera



$p = (3 \cdot 2RC + 3RC) / 3RC = 3$, ako su difuzije svih pMOS tranzistora kontaktirane posebno, odnosno $p = (2 \cdot 2RC + 3RC) / 3RC = 7/3$ ukoliko levi i srednji pMOS tranzistor dele istu difuziju drejna ($Dp2 = Dp3$)

3.2.4 Dimenzionisanje tranzistora

- Model linearnog kašnjenja

Normalizovano proporcionalno kašnjenje, f , iskazuje se kao proizvod dva važna parametra logičkih kola:

$$f=h \cdot g.$$

3.2.4 Dimenzionisanje tranzistora

- Model linearnog kašnjenja

$$f=h \cdot g.$$

- Parametar h predstavlja *električnu sposobnost (electrical effort, električnu moć) ćelije da pobudi određeni broj jediničnih invertora.*

Uobičajeni naziv ovog parametra je fanout (*fanout*), Izračunava se kao količnik izlazne kapacitivnosti opterećenja i ulazne kapacitivnosti ćelije

$$h=(C_L/C_{in}).$$

3.2.4 Dimenzionisanje tranzistora

- Model linearnog kašnjenja

$$f=h \cdot g.$$

- Parametar g predstavlja meru *logičke složenosti* ćelije (*logical effort, logička moć*) koja se definiše kao količnik ulazne kapacitivnosti ćelije i ulazne kapacitivnosti jediničnog invertora

$$g=(C_{in}/C_{inu}).$$

3.2.4 Dimenzionisanje tranzistora

- Model linearnog kašnjenja

$$f=h \cdot g.$$

- U ovom kontekstu, normalizovano proporcionalno kašnjenje, f , naziva se i *informacioni potencijal* logičke ćelije (*stage effort*).

*informacioni potencijal = električna sposobnost*logička složenost*

3.2.4 Dimenzionisanje tranzistora

- Model linearnog kašnjenja

Vrednosti za p i g osnovnih ćelija

Tip ćelije	INV	NAND2	NAND n	NOR2	NOR n
p	1	2	n	2	n
g	1	4/5	$(n+2)/3$	5/3	$(2n+1)/3$

Procena p samo preko broja difuzija vezanih za izlazni čvor nije potpuno tačna, jer ne uzima u obzir najgori slučaj redno vezanih tranzistora

LEDA - Laboratory for Electronic Design Automation
<http://leda.elfak.ni.ac.yu/>



96

3.2.4 Dimenzionisanje tranzistora

- Model linearnog kašnjenja

Primer 3.3

Proceniti kašnjenje invertora sa fanautom 4, FO4, (invertor koji može da pobudi 4 identična invertora), realizovanom u 180nm tehnologiji, sa $t_0=15ps$.

Rešenje:

Logička složenost invertora je $g=1$. Fanaut je $h=4$ jer pobuđuje 4 puta veću kapacitivnost od sopstvene ulazne. Parazitno kašnjenje je $p=1$, tako da je $t_p=t_0(p+g\cdot h)=15ps(1+1\cdot 4)=75ps$.

97

3.2.4 Dimenzionisanje tranzistora

- Model linearnog kašnjenja

Često se kašnjenje veza u određenoj tehnologiji iskazuje relativno u odnosu na kašnjenja FO4 invertora, a ne jediničnog invertora t_0 .

Na osnovu prethodnog primera vidi se da t_0 može da se izračuna na osnovu podatka o kašnjenju FO4 invertora, koji se obično nalazi u skupu standardnih ćelija svih proizvođača.

Ono iznosi 1/5 kašnjenja.

LEDA - Laboratory for Electronic Design Automation
<http://leda.elfak.ni.ac.yu/>



98

3.2.4 Dimenzionisanje tranzistora

- Model linearnog kašnjenja

Čak i u slučaju da odnos difuzione i kapacitivnosti oksida nije 1, nego da se menja u granicama $\chi=0.8-1.2$, ova procena ostaje dovoljno dobra jer daje

$$d=4.8-5.2.$$

Dobro je znati da se kašnjenje FO4 invertora u ps, za određenu tehnologiju, kreće u granicama od 1/3 do 1/2 od dužine kanala iskazane u nm (što u slučaju 180nm tehnologije iz prethodnog primera daje 60-90ps).

99

3.2.4 Dimenzionisanje tranzistora

- Model linearnog kašnjenja

Primer

Proceniti frekvenciju oscilovanja ring oscilatora koji se sastoji od $N=31$ jediničnog invertora realizovanih u 180nm tehnologiji sa $t_0=15ps$.

3.2.4 Dimenzionisanje tranzistora

- Model linearnog kašnjenja

Rešenje:

Kašnjenje jednog invertora opterećenog istim jediničnim invertorom za koji je $p=1$, $g=1$, $h=1$ iznosi $d=(1+1\cdot1)=2$. U jednoj periodi N -to stepenog oscilatora postoji dvostruko kašnjenje (prednje i zadnje ivice) u N stepena, tako da jedna perioda ukupno traje

$$T=2\cdot N\cdot d\cdot t_0=1.860ns.$$

To znači da će frekvencija oscilatora biti oko 540MHz.

3.2.4 Dimenzionisanje tranzistora

3. Ograničenja u primeni modela linearnog kašnjenja

Osnovno ograničenje u primeni modela linearnog kašnjenja odnosi se na nagib ulaznog signala.

Promena pobudnih signala nije trenutna, nego se dešava sa određenim nagibom.

Korekcija kašnjenja uslovljena ovim nagibom, iznosi

$$t_{pd} = t_p + t_{rf} \left(\frac{1 + 2(|V_t|/V_{DD})}{6} \right)$$

3.2.4 Dimenzionisanje tranzistora

3. Ograničenja u primeni modela linearnog kašnjenja

$$t_{pd} = t_p + t_{rf} \left(\frac{1 + 2(|V_t|/V_{DD})}{6} \right)$$

- t_p kašnjenje bez uticaja nagiba pobudnog signala,
- t_{rf} označava nagib prednje ili zadnje ivice signala.

3.2.4 Dimenzionisanje tranzistora

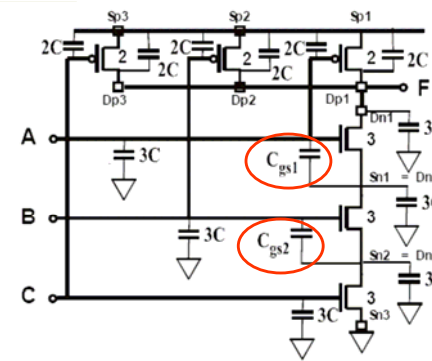
3. Ograničenja u primeni modela linearnog kašnjenja

Podrazumevali smo da je kapacitivnost oksida vezana između gejta i osnove, koja se nalazi na potencijalu VDD, odnosno VSS.

Međutim, postoji kapacitivnost između gejta i sorsa, koja dolazi do izražaja kod redno vezanih tranzistora kada sors i osnova nisu vezani za isti potencijal.

3.2.4 Dimenzionisanje tranzistora

3. Ograničenja u primeni modela linearnog kašnjenja

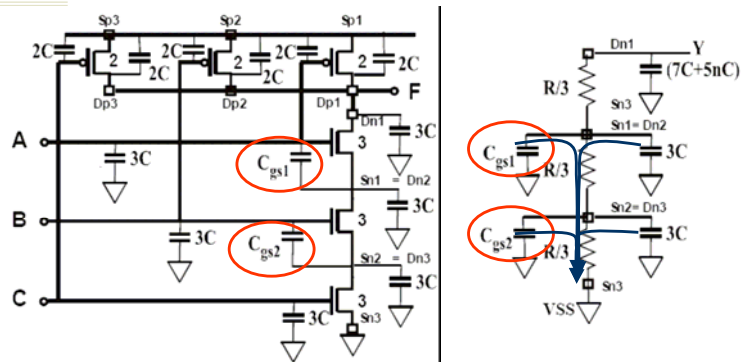


U slučaju NAND3 kola, nisu u proceni kašnjenja uzeti u obzir C_{gs1} i C_{gs2} .

Ove kapacitivnosti, takođe, treba da se isprazne/napune tokom promene stanja na izlazu

3.2.4 Dimenzionisanje tranzistora

3. Ograničenja u primeni modela linearnog kašnjenja



3.2.4 Dimenzionisanje tranzistora

4. Kašnjenje u složenim kolima

Videli smo da kašnjenje zavisi od

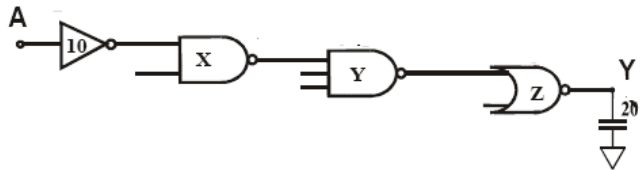
- parazitnog kašnjenja p ,
- logičke složenosti, g , i
- električne sposobnosti da se pobudi određeni potrošač, h .

Za razliku od logičke složenosti pojedinih ćelija, električna sposobnost direktno zavisi dimenzija tranzistora u ćelijama.

3.2.4 Dimenzionisanje tranzistora

4. Kašnjenje u složenim kolima

Interesantno je da se definišu parametri p , g , h , f za složena logička kola.



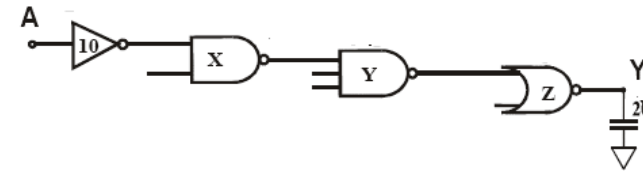
LEDA - Laboratory for Electronic Design Automation
<http://leda.elfak.ni.ac.yu/>



108

3.2.4 Dimenzionisanje tranzistora

4. Kašnjenje u složenim kolima



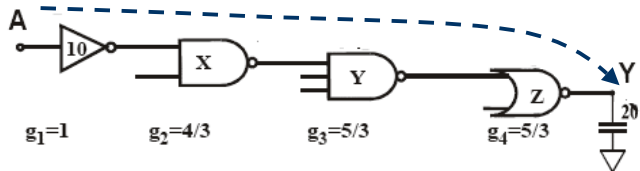
Električna sposobnost duž puta, H , definiše se kao količnik kapacitivnosti kojom je put opterećen i ulazne kapacitivnosti:

$$H = \frac{C_{L(\text{put})}}{C_{in(\text{put})}}$$

3.2.4 Dimenzionisanje tranzistora

4. Kašnjenje u složenim kolima

Interesantno je da se definišu parametri p , g , h , f za složena logička kola.

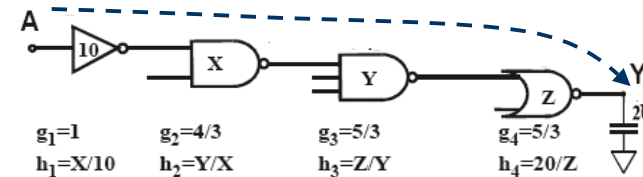


Ukupna logička složenost, G , na putu od tačke A do Y, definiše se kao proizvod parcijalnih logičkih složenosti na putu.

$$G = \prod_i g_i$$

3.2.4 Dimenzionisanje tranzistora

4. Kašnjenje u složenim kolima



Shodno izrazu kojim se utvrđuje moć jedne ćelije, ukupni informacioni potencijal puta može da se predstavi kao

$$F = \prod_i f_i = \prod_i g_i h_i$$

LEDA - Laboratory for Electronic Design Automation
<http://leda.elfak.ni.ac.yu/>

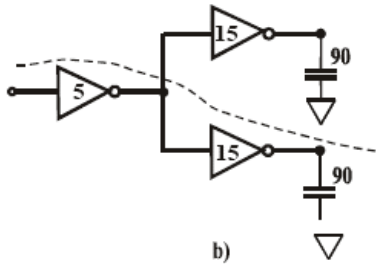


111

3.2.4 Dimenzionisanje tranzistora

4. Kašnjenje u složenim kolima

Za mreže u kojima postoji grananje, F nije jednako GH



Ako je

$$g_1 = g_2 = 1,$$

$$h_1 = (15 + 15) / 5 = 6 \text{ i } h_2 = 90 / 15 = 6.$$

Tada je

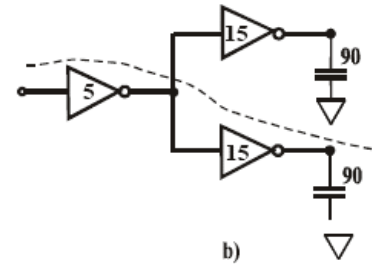
$$f_1 = g_1 \cdot h_1 = 6, \text{ i } f_2 = g_2 \cdot h_2 = 6.$$

$$F = (1 \cdot 6) \cdot (1 \cdot 6) = 36$$

3.2.4 Dimenzionisanje tranzistora

4. Kašnjenje u složenim kolima

Za mreže u kojima postoji grananje, F nije jednako GH

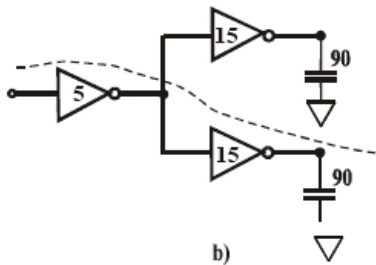


S druge strane, dobija se da je
 $G = 1 \cdot 1 = 1$, $H = 90 / 5 = 18$, pa je
 $F = G \cdot H = 18$,

3.2.4 Dimenzionisanje tranzistora

4. Kašnjenje u složenim kolima

Za mreže u kojima postoji grananje, F nije jednako GH



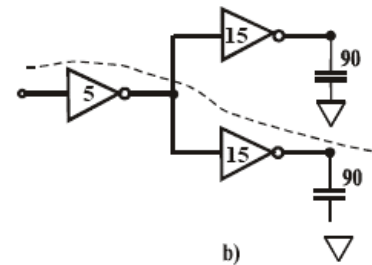
Zato se uvodi parametar koji ukazuje na *složenost grane*, a izračunava se kao:

$$b = \frac{C_{L(put)} + C_{L(van_puta)}}{C_{L(put)}}$$

3.2.4 Dimenzionisanje tranzistora

4. Kašnjenje u složenim kolima

Za mreže u kojima postoji grananje, F nije jednako GH



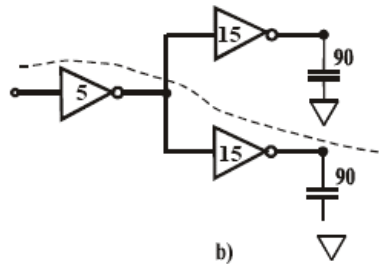
Ukupna *složenost grana duž puta* računa se kao

$$B = \prod_i b_i$$

3.2.4 Dimenzionisanje tranzistora

4. Kašnjenje u složenim kolima

Za mreže u kojima postoji grananje, F nije jednako GH



Ukupni informacioni potencijal puta može se izračunati kao

$$F = B \cdot G \cdot H$$

3.2.4 Dimenzionisanje tranzistora

4. Kašnjenje u složenim kolima

Ukupno normalizovano kašnjenje duž puta, D , računa se kao zbir pojedinačnih normalizovanih kašnjenja d_i :

$$D = \sum_i d_i = \sum_i f_i + \sum_i p_i = D_F + P$$

- P - ukupno normalizovano parazitno, a
- D_F - ukupno normalizovano proporcionalno kašnjenje duž puta, koje treba brojno da bude jednako informacionom potencijalu puta, F .

3.2.4 Dimenzionisanje tranzistora

5. Dimenzionisanje tranzistora na putu

Postavlja se pitanje kako odrediti dimenzije tranzistora da bi se na nekom putu dobilo minimalno kašnjenje.

Normalizovano proporcionalno kašnjenje duž puta jednako je zbiru parcijalnih normalizovanih kašnjenja f_i .

Moć duž puta jednaka je proizvodu f_i , a ne zavisi od dimenzija ćelija.

3.2.4 Dimenzionisanje tranzistora

5. Dimenzionisanje tranzistora na putu

Polazeći od toga da će zbir N brojeva čiji je proizvod konstantan biti najmanji ako su svi brojevi jednaki, sledi da će kašnjenje D_F biti minimalno ako su sva parcijalna normalizovana kašnjenja jednaka $f_i = f_c = D_F/N$.

Tada važi da je:

$$f_c = f_i = g_i h_i = g_i \frac{C_{Li}}{C_{ini}} = F^{1/N}$$

C_{Li} izlazna kapacitivnost i -te logičke ćelije

C_{ini} ulazna kapacitivnost i -te logičke ćelije

3.2.4 Dimenzionisanje tranzistora

5. Dimenzionisanje tranzistora na putu

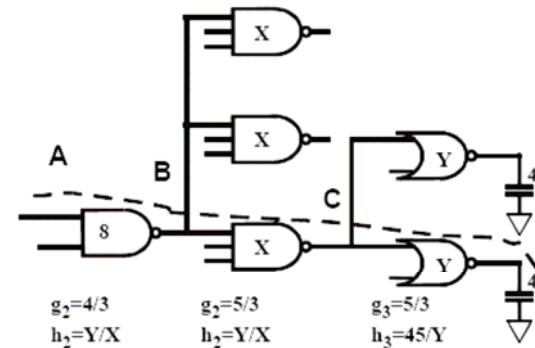
Znajući da C_{ini} direktno zavisi od veličine ćelije, dimenzionisanje ćelija obavlja se po sledećem algoritmu.

1. Izračunaju se B, G, H i F
2. Odredi se f_c
3. Polazeći od izlaza prema ulazu odredi se C_{ini} kao $C_{ini} = (C_{Li} g_i) / f_c$ za $i = N, \dots, 1$.
4. Deljenjem sa ulaznom kapacitivnošću jedinične ćelije, odredi se faktor k kojim treba pomnožiti širine kanala nMOS i pMOS tranzistora.

3.2.4 Dimenzionisanje tranzistora

Primer

Izračunati minimalno kašnjenje na putu od ulaza A do izlaza Y.



Odrediti dimenzije tranzistora pomoću kojih se dobija procenjeno minimalno kašnjenje.

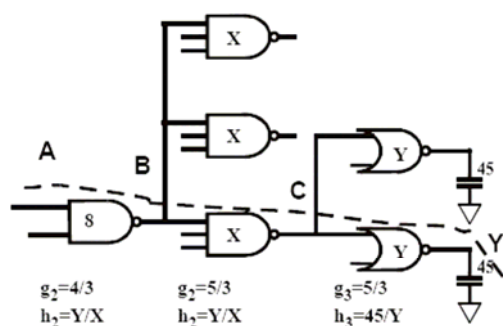


121

3.2.4 Dimenzionisanje tranzistora

Rešenje:

1. Složenost grane u čvoru B iznosi $b_1 = (3x/x) = 3$, a u čvoru C, $b_2 = (2y/y) = 2$, tako da je $B = 3 \cdot 2 = 6$.



LED/
http://

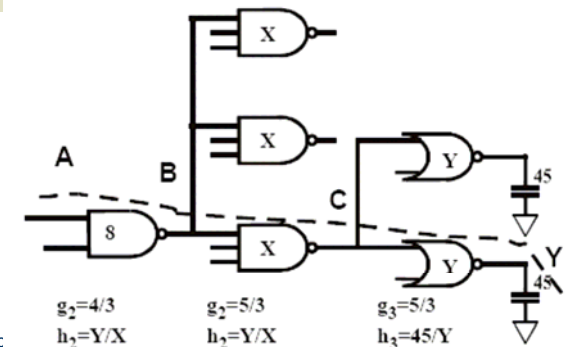


122

3.2.4 Dimenzionisanje tranzistora

Rešenje:

1. Na osnovu podataka iz Tabele 3.1 sledi da logička složenost puta iznosi $G = (4/3) \cdot (5/3) \cdot (5/3) = 100/27$, dok je $P = 2 + 3 + 2 = 7$.



LEDA - Laboratory for Electronic
http://leda.elfak.ni.ac.yu/

123

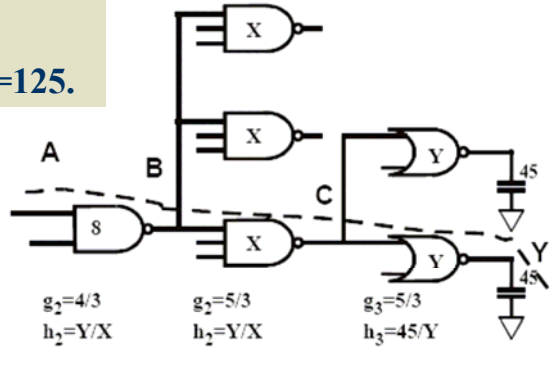
3.2.4 Dimenzionisanje tranzistora

Rešenje:

1. Električna sposobnost duž puta iznosi $H = 45/8$.

Sada je

$$F = 6 \cdot (100/27) \cdot (45/8) = 125.$$



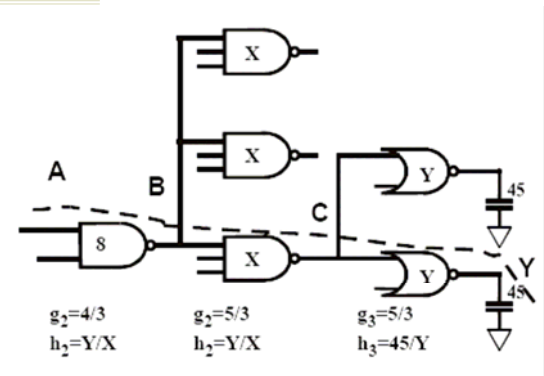
LEDA - Laboratory for Electronic
http://leda.elfak.ni.ac.yu/

124

3.2.4 Dimenzionisanje tranzistora

Rešenje:

2. Parcijalno normalizovano proporcionalno kašnjenje za svaku ćeliju iznosi $f_c = (125)^{1/3} = 5$.



Minimalno kašnjenje D iznosi $D = 3f_c + P = 22$.



125

3.2.4 Dimenzionisanje tranzistora

Rešenje:

3. Ulazne kapacitvosti

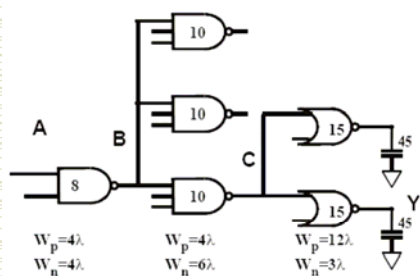
izlaznog NOR2 stepena je

$$y = 45 \cdot (5/3)/5C = 15C,$$

a NAND3 kola iznosi

$$x = (15+15) \cdot (5/3)/5C = 10C.$$

Proverom za ulazni stepen dobija se C ulazno od $(10+10+10) \cdot (4/3)/5C = 8C$.



LEDA - Laboratory for Electronic Design Automation
http://leda.elfak.ni.ac.yu/



126

3.2.4 Dimenzionisanje tranzistora

Rešenje:

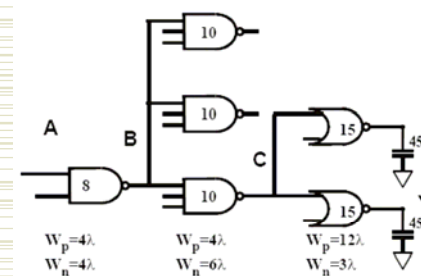
4. Ulazne kapacitvosti

Na isti način kao za NAND3 kolo, može da se nađe da za NAND2 ulazna kapacitivnost iznosi $4C$

(po $2C$ od nMOS i pMOS tranzistora),

dok za NOR2 iznosi $5C$

($4C$ od pMOS i $1C$ od nMOS).



LEDA - Laboratory for Electronic Design Automation
http://leda.elfak.ni.ac.yu/

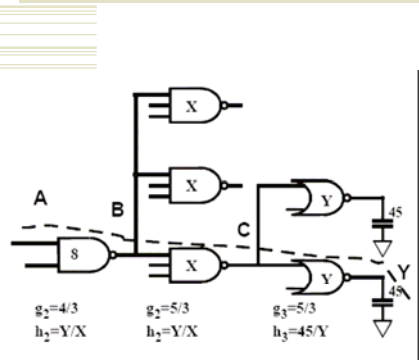


127

3.2.4 Dimenzionisanje tranzistora

Rešenje:

4. Ulazne kapacitivnosti



Prema tome, dobiće se za

NOR2:

$k=15/5=3$, što daje $W_n=3$, $W_p=12$;

NAND3:

$k=10/5=2$, što daje $W_n=6$, $W_p=4$;

NAND2:

$k=8/4=2$, što daje $W_n=4$, $W_p=4$.

LEDA - Laboratory for Electronic Design Automation
<http://leda.elfak.ni.ac.yu/>

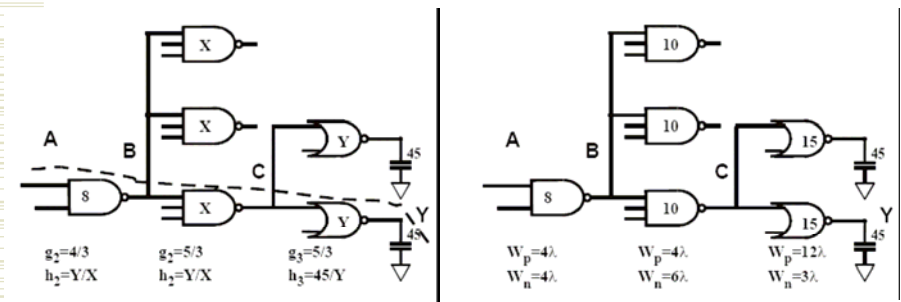


128

3.2.4 Dimenzionisanje tranzistora

Rešenje:

5. Ukupno kašnjenje dobija se sabiranjem $D=22$



LEDA - Laboratory for Electronic Design Automation
<http://leda.elfak.ni.ac.yu/>



129

3.2.4 Dimenzionisanje tranzistora

Najčešća zabluda jeste da će povećanjem dimenzija neke ćelije ona moći da puni/prazni kapacitivnosti opterećenja mnogo brže.

To jeste tačno, ako se posmatra samo izolovana ćelija, ali može da bude totalno pogrešno sa stanovišta kašnjenja na celom putu.

Ako bi se povećale dimenzije NAND3 ćelije u prethodnom primeru, njeno sopstveno kašnjenje bilo bi manje, ali bi ona usporila prethodnu ćeliju (NAND2 u našem primeru), tako da bi ukupno kašnjenje bilo veće.

Povećanje dimenzija ima smisla samo kod prve ćelije u lancu.

3.2 Projektovanje statičkih logičkih kola

Sledeće nedelje

3.2.1 Osnovne karakteristike CMOS kola

3.2.2 Statička prenosna karakteristika

3.2.3 Dinamičke karakteristike

3.2.4 Dimenzionisanje tranzistora

3.2.5 Izbor optimalnog broja ćelija

3.2.6 Kompromis između brzine i površine

3.2.7 Potrošnja

LEDA - Laboratory for Electronic Design Automation
<http://leda.elfak.ni.ac.yu/>



131